

Testi del Syllabus

Resp. Did.	CASELLI Stefano	Matricola: 004348
Anno offerta:	2015/2016	
Insegnamento:	05611 - RETI LOGICHE	
Corso di studio:	3050 - INGEGNERIA INFORMATICA, ELETTRONICA E DELLE TELECOMUNICAZIONI	
Anno regolamento:	2013	
CFU:	9	
Settore:	ING-INF/05	
Tipo Attività:	B - Caratterizzante	
Anno corso:	3	
Periodo:	Primo Semestre	
Sede:	PARMA	



Testi in italiano

Tipo testo	Testo
Lingua insegnamento	Italiano
Contenuti	<p>Reti Logiche: Programma del corso</p> <ul style="list-style-type: none">- Introduzione ai sistemi digitali- Tecniche di analisi e sintesi di reti combinatorie- Tecniche di analisi e sintesi di reti sequenziali sincrone- Tecniche di analisi e sintesi di reti sequenziali asincrone- Tecniche di analisi e sintesi di sistemi digitali complessi- Esercitazioni in laboratorio: progettazione di circuiti basati su logiche programmabili mediante strumenti CAD/CAE
Testi di riferimento	<p>Tesi consigliati: Sono rese disponibili sul sito del corso, lezione per lezione, le diapositive utilizzate in aula e tracce di esercizi risolti. Per una trattazione organica della disciplina si può fare riferimento ai testi indicati di seguito, a cui si ispira l'impostazione didattica del corso: F. Vahid, Digital Design, John Wiley & Sons, 2007. J.F. Wakerly, Digital Design: Principles and Practice, 4th Edition, Prentice-Hall, 2005.</p> <p>Testi d'approfondimento e per esercizi: C. Bolchini, C. Brandolese, F. Salice, D. Sciuto, Reti Logiche, Apogeo, 2004. M.M. Mano, Digital Design, 3/E, Prentice Hall, 2002. R.H. Katz, Contemporary Logic Design, 1st Edition, Addison Wesley, 1994. R. Laschi, Reti Logiche, Esculapio, Bologna, 1994.</p> <p>Sugli argomenti del corso sono comunque disponibili numerosi altri testi, in Italiano e in Inglese, presso la Biblioteca Politecnica di Ingegneria e Architettura.</p>
Obiettivi formativi	Il corso si propone di fornire agli studenti le conoscenze di base per l'analisi e la progettazione di sistemi digitali. Il corso presenta sia metodologie tradizionali, sia tecniche algoritmiche ed euristiche adottate nella progettazione industriale e negli strumenti CAD di Design

Tipo testo

Testo

Automation. L'enfasi del corso è posta sulla capacità di affrontare e risolvere problemi progettuali ad alto livello, anche mediante partizionamento in sottoproblemi, avvalendosi poi di metodologie e componenti appropriati per risolvere i singoli sottoproblemi.

Al termine del corso lo studente sarà in grado di applicare direttamente le conoscenze acquisite nei seguenti ambiti:

- Analisi e progettazione di reti combinatorie di piccole o medie dimensioni, sia con componenti elementari sia con moduli integrati a media e larga scala di integrazione;
- Analisi e progettazione di reti sequenziali sincrone di piccole o medie dimensioni, mediante componenti elementari e/o moduli funzionali come registri, contatori, memorie;
- Analisi e progettazione di reti sequenziali asincrone di piccole dimensioni con e senza memorie di tipo latch; (trattandosi di un tema specialistico, l'approfondimento dedicato alla progettazione asincrona potrà essere limitato in funzione del tempo disponibile per il completamento del corso);
- Uso a livello elementare di strumenti CAD/CAE per progettazione mediante logiche programmabili;
- Utilizzo di tecniche di problem solving per scomporre problemi progettuali complessi in problemi di dimensioni più contenute affrontabili separatamente.

Prerequisiti

E' presupposta la conoscenza delle porte logiche e dei fondamenti dell'Algebra di Boole. Le tecniche elementari di ottimizzazione combinatoria (mappe, semplificazione di espressioni) sono riprese molto succintamente nel corso come punto di partenza.

Metodi didattici

Il corso impegna lo studente per circa 80 ore di attività didattica assistita (lezioni ed esercitazioni in aula, esercitazioni in laboratorio).

La parte prevalente del corso è costituita dalle lezioni ed esercitazioni in aula, con uso di lavagna, trasparenze e diapositive in base alle esigenze. Molto tempo è riservato alla attività di design, sviluppata sulla lavagna tradizionale per raccogliere anche i contributi progettuali degli studenti più vivaci.

Sono inoltre proposte alcune esercitazioni in laboratorio (6-10 ore) finalizzate alla progettazione di sistemi digitali basati su logiche programmabili mediante uso di strumenti CAD di tipo industriale per schematic entry, VHDL, simulazione digitale, mapping su logiche programmabili specifiche.

Sono proposte in corso d'anno due prove intermedie in aula ed assegnamenti pratici o teorici da svolgere a casa per mantenere gli studenti al passo ed esonerarli da parti dell'esame.

Al termine del corso potrà essere assegnato un progetto (in ogni caso opzionale), anch'esso basato su impiego di logiche programmabili, da svolgere in gruppi di 2-4 studenti. Il progetto ha lo scopo di mantenere e rinforzare le capacità di problem solving acquisite dagli studenti, facendo leva sull'entusiasmo generato dalla capacità di utilizzare strumenti di progettazione digitale con solide basi concettuali.

Altre informazioni

Portale per il sito del corso: <http://didattica.unipr.it>

Il materiale didattico e di supporto è reso disponibile sul sito del corso lezione per lezione agli studenti frequentanti.

Modalità di verifica dell'apprendimento

Due prove scritte a metà e a conclusione del corso (modo suggerito), oppure una prova scritta complessiva in occasione degli appelli ufficiali d'esame. Le prove scritte sono costituite da esercizi di progettazione ed analisi di sistemi digitali, eventualmente integrati da domande di teoria.

L'assegnamento opzionale può incrementare il voto ottenuto nelle prove in itinere o nell'appello ufficiale solo se esso è sufficiente.

Tipo testo

Programma esteso

Testo

__Reti Logiche: Programma dettagliato del corso__

Introduzione ai sistemi digitali

- 1 - Ruolo dei sistemi digitali. La rappresentazione dell'informazione.
- 2 - La macchina di Von Neumann.
- 3 - Evoluzione delle tecnologie elettroniche.
- 4 - Finalità e limiti dei sistemi digitali.

Reti combinatorie

- 1 - Richiami: Espressioni canoniche e generali SP e PS. Analisi e sintesi di funzioni completamente specificate mediante mappe di Karnaugh.
- 2 - Estensione delle tecniche di analisi e sintesi per reti combinatorie a due livelli: Funzioni incompletamente specificate. Reti a più uscite (metodo degli implicanti/implicati primi multipli). Analisi e sintesi di reti a NAND e a NOR.
- 3 - Strumenti CAD per la sintesi di reti combinatorie: Algoritmo di Quine-McCluskey. Espresso. Simulazione logica.
- 4 - Reti a più livelli e progettazione con moduli integrati: Fattorizzazione e scomposizione di espressioni. Progettazione mediante composizione di moduli combinatori MSI e LSI. Multiplexer, Decoder, Demultiplexer, Encoder, Encoder Prioritario, ROM, componenti AOI.
- 5 - Tecnologie di interconnessione: Porte three-state, buffer, transceiver, bus. Realizzazione di MUX e DEMUX mediante buffer three-state.
- 6 - Logiche programmabili semplici (ROM, PLA, PAL, GAL).
- 7 - Fenomeni transitori nelle reti combinatorie: alee statiche e dinamiche.

Reti sequenziali sincrone

- 1 - Modelli di Mealy e di Moore. Analisi di circuiti logici elementari con ritardi e retroazione. Funzionamento in modo fondamentale. Funzionamento con segnale di clock.
- 2 - Reti per la memorizzazione dello stato: Latch SR e D; Flip-Flop D, JK e T. Problemi di temporizzazione. Temporizzazione delle reti sincrone.
- 3 - Automi a stati finiti: Strumenti di definizione dell'automa (diagramma degli stati, tabelle di flusso e linguaggi di descrizione). Minimizzazione degli stati.
- 4 - Procedimenti di analisi e di sintesi di reti sequenziali sincrone: Codifica degli stati. Codifica ottima e codifica one-hot. Marcatore dello stato con diversi tipi di Flip-Flop e Latch.
- 5 - Comandi di Preset e Clear nei Flip-Flop sincroni. Reti con ingressi asincroni o impulsivi.
- 6 - Progettazione di contatori binari, ad anello, Johnson, con ciclo di conteggio arbitrario. Progettazione di registri paralleli e seriali. Ingressi di controllo nei contatori e nei registri.
- 7 - Logiche programmabili sequenziali e complesse (CPLD, FPGA).

Reti sequenziali asincrone

- 1 - Diagrammi degli stati e tabelle di flusso per reti asincrone. Funzionamento in modo fondamentale e temporizzazione nelle reti sequenziali asincrone.
- 2 - Procedimenti di analisi e di sintesi di reti sequenziali asincrone.
- 3 - Minimizzazione degli stati nelle reti asincrone.
- 4 - Codifica degli stati: Problemi di corse critiche e alee funzionali. Tecniche per l'eliminazione delle corse critiche: grafo delle adicenze, mappa di codifica, transizioni multiple, assegnamenti multipli. Assegnamenti universali.
- 5 - Marcatore dello stato mediante retroazioni dirette e Latch SR.
- 6 - Progettazione asincrona degli elementi di memoria sincroni: D-Latch e Flip-Flop SR, JK e T. Architettura dei Flip-Flop Master-Slave. Problemi di alea essenziale e cattura degli uni. Architettura dei Flip-Flop Edge-Triggered. Integrazione degli ingressi Preset e Clear nei Flip-Flop.
- 7 - Unità di controllo asincrone.

Analisi e sintesi di sistemi digitali complessi

- 1 - Progettazione di reti sequenziali con moduli integrati (registri, contatori, registri a scorrimento, MUX, etc.).
- 2 - Suddivisione tra parte di controllo e datapath. Progettazione di

Tipo testo

Testo

controllori.

3 - Componenti combinatori per il datapath e dedicati: Circuiti aritmetici (sommatori, comparatori, ALU). Convertitori di codice. Circuiti per controllo di parità e codice di Hamming. Circuiti a EXOR.

4 - Pipelining.

5 - Formalismi per la descrizione dell'hardware.

Progettazione di sistemi digitali con logiche programmabili (esercitazioni in laboratorio)

1 - Panoramica su tipologie di logiche programmabili

2 - Strumenti CAD di tipo in



Testi in inglese

Tipo testo

Testo

Lingua insegnamento

Italian

Contenuti

Digital Design: Course Syllabus

- Introduction to digital systems
- Analysis and synthesis techniques for combinational circuits
- Analysis and synthesis techniques for synchronous sequential circuits
- Analysis and synthesis techniques for asynchronous sequential circuits
- Analysis and synthesis techniques for complex digital systems
- Laboratory activity: Digital design using programmable components with CAD/CAE tools

Testi di riferimento

Recommended textbooks:

Lecture notes and exercises with solutions are made available on the course web site to registered students.

For a comprehensive treatment of the subject please refer to the following textbooks, which the course draws inspiration from:

F. Vahid, Digital Design, John Wiley & Sons, 2007.

J.F. Wakerly, Digital Design: Principles and Practice, 4th Edition, Prentice-Hall, 2005.

Additional textbooks (to probe further specific subjects or to look for exercises):

C. Bolchini, C. Brandolese, F. Salice, D. Sciuto, Reti Logiche, Apogeo, 2004.

M.M. Mano, Digital Design, 3/E, Prentice Hall, 2002.

R.H. Katz, Contemporary Logic Design, 1st Edition, Addison Wesley, 1994.

R. Laschi, Reti Logiche, Esculapio, Bologna, 1994.

The course covers a very classical computer engineering discipline. Hence, a number of textbooks dealing with the subject are available in the Engineering School Library, in Italian as well as in English.

Obiettivi formativi

Course learning objectives are to provide students with knowledge and understanding of fundamental techniques for digital system analysis and design. Both traditional methodologies suitable for paper and pencil and algorithmic techniques adopted in industrial Design Automation flows and CAD tools are presented. Emphasis is placed on the development of problem solving capabilities, including the ability to address design problems at high level by partitioning them into subproblems and exploiting the most appropriate components and techniques for individual subproblems.

At the end of the course, students will be able to directly apply the learned techniques in the following contexts:

- Analysis and design of small to medium combinational circuits using logic gate as well as LSI and MSI components;

Tipo testo

Testo

- Analysis and design of small to medium synchronous sequential circuits using logic gates and flip-flops as well as functional modules such as registers, counters, memories;
- Analysis and design of small asynchronous sequential circuits; (given the specialized nature of the topic, the depth and skills gained for dealing with asynchronous sequential circuits will depend upon the amount of lecturing time left toward the end of the lecturing period);
- Ability to use basic CAD/CAE tools for programmable components-based digital design;
- Ability to use a problem solving approach to partition complex problems into manageable subproblems that can be individually tackled and solved.

Prerequisiti

Knowledge of fundamental gates and Boolean algebra is assumed. Elementary techniques for combinational synthesis (K-maps, expression simplification) will be quickly recalled before delving into more advanced course topics.

Metodi didattici

The course includes about 80 hours of supervised learning activity (lectures and exercises in classroom as well as exercises and design activity in laboratory).

Most of the course involves lectures and exercises in classroom using chalkboard, overhead projector and/or computer slides as needed. A large fraction of time is reserved for the design activity, typically carried out on the main chalkboard to include design suggestions from the more lively students attending the class.

Laboratory classes (for about 6-10 hours) cover digital design with programmable logic components using industrial CAD tools. The following design steps are addressed in the labs: schematic entry, VHDL, digital simulation, project mapping on assigned programmable components.

During the semester, two midterms as well as a few exercise or theory home assignments are administered to keep students on pace with the course and exempt them from the final exam.

At the end of the course, a larger optional project involving programmable components is usually assigned (depending upon the availability of lecturing time at the end of course to launch the project). The project can be carried out as home assignment by groups of 2-4 students. The purpose of this assignment is to consolidate students' problem solving skills by leveraging upon their enthusiasm and gained confidence with digital design.

Altre informazioni

Course web site available at: <http://didattica.unipr.it> for registered students.
Teaching material is published on the web site as course progresses.

Modalità di verifica dell'apprendimento

Recommended mode: Two written midterms at half and end of lecturing period.
Otherwise: Comprehensive written test during an official exam sessions.

Written tests (as well as midterms) always include exercises with design and analysis of several types of digital circuits, covering all the course topics. Written tests may also include one or few quizzes about more theory-oriented topics. More frequently, theory must be known and used to solve the proposed design problems.

Optional home assignment only counts as possible improvement over a passing mark obtained with written midterms or test.

Programma esteso

__ Digital Design: Detailed Course Syllabus __

Introduction to digital systems

1 - The role of digital systems. Digital representation of information.

2 - Von Neumann's architecture.

3 - Evolution of electronic technologies.

4 - Objectives and limitations of digital systems.

Tipo testo

Testo

Combinational logic design

1 - Review: Canonical and general logic expressions (SoP and PoS). Analysis and synthesis of fully specified logic functions based on Karnaugh maps.

2 - Other two-level logic analysis and synthesis techniques: Incompletely specified logic functions. Multiple output circuits (multiple prime implicants/implicates method). Analysis and synthesis of NAND and NOR circuits.

3 - CAD tools for combinational network design: Quine-McCluskey algorithm. Espresso. Logic simulation.

4 - Multilevel logic and integrated circuit-based design: Expression factorization and decomposition. Combinational logic design based on standard MSI and LSI parts (Multiplexers, Decoders, Demultiplexers, Encoders, ROMs, AOI components).

5 - Interconnection technologies: Three-state gates, buffers, transceivers, busses. Three-state based MUX and DEMUX implementation.

6 - Combinational programmable logic (ROM, PLA, PAL, GAL).

7 - Transient phenomena in combinational circuits: static and dynamic hazards.

Synchronous sequential logic design

1 - Mealy and Moore machines. Elementary logic circuits with delays and feedback. Fundamental mode operation. Clocked operation.

2 - Basic memory elements: SR and D Latches; D, JK, and T Flip-Flops. Timing problems. Timing in synchronous circuits.

3 - Finite state automata: Automata description techniques (state diagrams, flow tables, description languages). State minimization.

4. Analysis and synthesis of synchronous sequential circuits: State encoding. Optimal and one-hot encodings. State memory implementation with Flip-Flops and Latches.

5 - The synchronous/asynchronous interface: Flip-Flops with Preset and Clear commands. Management of asynchronous and pulsed inputs in synchronous circuits.

6 - Counters and Registers: Design of binary counters, ring counters, Johnson counters, counters with arbitrary state encoding. Parallel registers and shift registers. Control inputs in counters and registers.

7 - Sequential programmable logic (CPLD, FPGA).

Asynchronous sequential logic design

1 - State diagrams and flow tables for asynchronous circuits. Fundamental mode operation and timing in asynchronous circuits.

2 - Analysis and synthesis of asynchronous sequential circuits.

3 - State minimization for asynchronous sequential circuits.

4 - State encoding: Critical races and functional hazard problems. Techniques and tools for critical races solution: adjacency graph, encoding map, multiple state transitions, multiple state assignments. Universal assignments.

5 - State realization by direct feedback and SR Latches.

6 - Asynchronous design of synchronous memory elements: D-Latch; SR, JK, and T Flip-Flops. Master-Slave Flip-Flop architecture. Essential hazard and ones-catching problems. Edge-Triggered Flip-Flop architecture. Integration of Preset and Clear inputs in Flip-Flops.

7 - Asynchronous control units.

Analysis and synthesis of complex digital systems

1 - Sequential circuit design using standard integrated circuits (registers, counters, shift-registers, sequencers, MUXes, etc.).

2 - Complex circuit design by decomposition into datapath and control unit. Control unit design.

3 - Data path components and dedicated combinational components: Arithmetic circuits (adders, comparators, ALU). Transcoders. Parity and Hamming circuitry. XOR-based circuits.

4 - Design techniques for pipelined circuits.

5 - Hardware description languages.

Tipo testo

Testo

Digital system design using programmable components (Laboratory activity)

1 - Overview of industrial programmable components families and technologies

2 - Industry-standard CAD tools for digital design. Schematic entry. VHDL.

3 - Digital simulation. Mapping onto assigned programmable components.